

CTO 論壇

2008年9月10日 星期三

08:30 – 17:35

台北國際會議中心二樓201ABC會議室

課程代碼 : STCTO

課程費用 : 免費 (需事先上網登記)

論壇簡介:

半導體晶片面臨尺寸越做越小，但效能卻要更加提升的強大壓力，在此同時，每一個 package 在體積縮小下，卻要能容納夠多的功能在裡面。在消費性電子市場成長驅動下，諸如以矽為渠道的 3D IC 或者 TSV 等封裝技術之創新也更加快速且重要。本論壇將著重在對 TSV 技術的概述、技術演進與應用，並且與談人將對此主題進行深度的探討。

論壇主題:

Emerging Technology of SiP - TSV (Thru Silicon Via) Enabling Next Generation ICs
驅動下一代 IC: SiP 的新興技術 - TSV

論壇主持人:



上午時段: SEMI 全球封裝測試資深處長 Karl Stuber 先生



下午時段: SEMI Taiwan IC 委員會委員 / 美商暉賞科技 總經理暨亞洲區副總裁 周雷琪 先生

座談會主持人:



電子元件封裝和生產技術學會 IEEE 院長 William T. Chen 博士

論壇共同主席:

1. SEMI Taiwan 封裝測試委員會副主席 / 義守大學 校長 傅勝利 博士
2. SEMI Taiwan IC 委員會委員 / 台灣新思科技 大中華區總裁 葉瑞斌 先生

議程:

08:30 – 09:00	報到
09:00 – 09:40 	開幕演講 - TSV 概況 SEMI Taiwan 封裝測試委員會主席 / GSA SiP 委員會主席 / 日月光集團研發處總經理 唐和明博士 探討議題: - TSV 技術之需求 - TSV 基礎建設概況 - 製造上的挑戰
09:40 – 10:20 	以ITRS的角度來看3D封裝 電子元件封裝和生產技術學會 IEEE院長 William T. Chen 博士
10:20 – 10:40	中場休息
10:40 – 11:20 	TSV 市場概況 Gartner 研發副總 Jim Walker 先生 探討議題: - 驅動技術發展的要因 - 產品應運與市場大小 - 產業發展現況 - 產品的執行與上市時機
11:20 – 12:00 	TSV 技術概況 IMEC 專案協理 Eric Beyne 博士 探討議題: - 3D-TSV 技術之成本要因 - 3D-TSV 技術之 wafer thinning, temporary carrier mounted 與 thin die handling 製程概況 - 3D stacking, Die-to-die, die-to-wafer, wafer-to-wafer 之製程概況 - Packaging 3D-stacked IC's 的挑戰 - 八吋與十二吋之材料、設備的挑戰
12:00 – 13:30	上午場休息
13:30 – 13:35	下午場開幕詞 經濟部工業局 半導體產業推動辦公室 吳安宇主任

	
<p>13:35 –14:15</p> 	<p>3D 立體 IC 封裝技術: 商業考量或市場需求? 美商高通國際股份有限公司(Qualcomm) 副總 Tom Gregorich 先生 探討議題:</p> <ul style="list-style-type: none"> - 驅動因子與市場機會 - 通訊 IC 設計、封裝與測試的要求 - 產品與技術準則 - 技術、設備、材料與設計的挑戰和關注焦點
<p>14:15 –14:55</p> 	<p>設備與整合的挑戰 美商矽基科技 VP & GM, PVD, CVD & Etch Product Groups, Kevin Crofton 先生 探討議題:</p> <ul style="list-style-type: none"> - Via First & Via Last - 8” vs. 12” 潛在議題與考慮要點 - 現有技術水準、創新、挑戰與準則 - Etch, Seed Layer, 與 Via Filling 上的挑戰
<p>14:55 –15:15</p>	<p>中場休息</p>
<p>15:15 –15:55</p> 	<p>TVS - EDA 設計之挑戰及其解決方案 新思科技 研發科學家 江清流 博士 探討議題:</p> <ul style="list-style-type: none"> - 什麼是 3D IC; 為何要了解 3D IC - 目前 3D IC 的趨勢 - 技術挑戰與準則 - EDA 在 3D IC 設計中的技術挑戰 - 3D IC 工具研究及發展
<p>15:55 –16:35</p> 	<p>創新的 Test of TSV-Based 3D-IC 測試概談 惠瑞捷 Mixed Signal & RF Solutions Semiconductor Test Solutions 資深技術總監, Wilhelm Radermacher 先生 探討議題:</p> <ul style="list-style-type: none"> - 測試上的挑戰, 與 SiP 做比較 - 測試流程的建議 - 可測試性設計核心之晶粒級測試 - 探測 - 系統式的封裝測試

	- 支持自動測試裝置的能力
16:35 –17:35	<p>座壇會主題: 半導體上中下游廠商之合作及標準化</p> <p>座談會主持人:</p> <p>電子元件封裝和生產技術學會 IEEE 院長 William T. Chen 博士</p> <p>與談人:</p> <ol style="list-style-type: none"> 1. Gartner 研發副總 Jim Walker 先生 2. IMEC 專案協理 Eric Beyne 博士 3. 美商高通國際股份有限公司 副總 Tom Gregorich 先生 4. 美商矽蕙科技 VP & GM, PVD, CVD & Etch Product Groups, Kevin Crofton 先生 5. 新思科技 研發科學家 江清流 博士 6. 惠瑞捷 資深技術總監 Wilhelm Radermacher 先生
17:35	閉幕

- 行程視現場狀況異動，不另行通知。
- 此論壇演講以英文為主。

主辦單位



共同主辦單位



贊助單位

